

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP405265865A
DOCUMENT-IDENTIFIER: JP 05265865 A
TITLE: MEMORY WRITE PROTECTOR
PUBN-DATE: October 15, 1993

INVENTOR-INFORMATION:

NAME

SAKURAI, HIROSHI
MITSUISHI, KAZUYUKI
NISHIMURA, NAOYUKI
AKASAKA, NOBUHIKO
HASHIMOTO, SHIGERU

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP04063305

APPL-DATE: March 19, 1992

INT-CL (IPC): G06F012/14

ABSTRACT:

PURPOSE: To improve reliability by preventing system down caused by the fault of a memory protecting function when it is not necessary to use the memory protector, and to improve the performance of a system by shortening a memory write cycle.

CONSTITUTION: In this memory write protector provided with a master key code register 1 to store a master key code, a slave key code register 2 to store a slave key code, a comparing means 3 to compare the key

codes stored in both of
the registers, and a memory write control means 5 to enable
write to a memory 4
when the compared result shows coincidence and to inhibit
write to the memory 4
when it shows non-coincidence, the memory write control
means 5 is provided
with an enable means 6 to enable the write to the memory
without comparing key
data.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-265865

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

G 0 6 F 12/14

識別記号

3 1 0 J

庁内整理番号

9293-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-63305

(22)出願日 平成4年(1992)3月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 櫻井 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 三石 和幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 西村 尚幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 土橋 皓

最終頁に続く

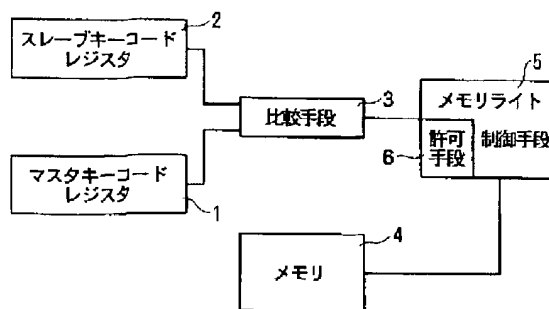
(54)【発明の名称】 メモリ書込保護装置

(57)【要約】

【目的】 メモリ書込保護装置に関し、メモリ保護装置を使用する必要がないときに、メモリ保護機能の障害によってシステムダウンすることがなく、信頼性を向上することができ、メモリ書き込みサイクルを短縮して、システムの性能を向上させることができるようにすることを目的とする。

【構成】 マスターキーコードを格納するマスターキーコードレジスタ1と、スレーブキーコードを格納するスレーブキーコードレジスタ2と、両レジスタに格納されたキーコードを比較する比較手段3と、比較の結果が一致したときにメモリへの書込を許可し、不一致のときにはメモリ4への書込を禁止するメモリライト制御手段5とを有するメモリ書込保護装置において、上記メモリライト制御手段にキーデータの比較を行わずにメモリへの書込を許可する、許可手段6を設けて構成する。

本発明の原理図



【特許請求の範囲】

【請求項1】 マスターキーコードを格納するマスターキーコードレジスタ(1)と、スレーブキーコードを格納するスレーブキーコードレジスタ(2)と、両レジスタに格納されたキーコードを比較する比較手段(3)と、比較の結果が一致したときにメモリへの書込を許可し、不一致のときにはメモリ(4)への書込を禁止するメモリライト制御手段(5)とを有するメモリ書込保護装置において、

上記メモリライト制御手段にキーデータの比較を行わずにメモリへの書込を許可する、許可手段(6)を設けたことを特徴とするメモリ書込保護装置。

【請求項2】 上記マスターキーコードレジスタ(1)に特定の値を入力したときには書込許可信号を立ち上げる許可信号発生手段を設け、上記メモリライト制御手段(5)の許可手段(6)に出力し、許可手段(6)はこの書込許可信号を受けたときはキーデータの比較を行わずにメモリへの書込を許可することを特徴とする請求項1記載のメモリ書込保護装置。

【請求項3】 上記スレーブキーコードレジスタ(2)に特定の値を入力したときには書込許可信号を立ち上げる許可信号発生手段を設け、上記メモリライト制御手段(5)の許可手段(6)に出力し、許可手段(6)はこの書込許可信号を受けたときはキーデータの比較を行わずにメモリへの書込を許可することを特徴とする請求項1記載のメモリ書込保護装置。

【発明の詳細な説明】

【産業上の利用分野】本発明はメモリ書込保護装置に係り、特にマスターキーコードを格納するマスターキーコードレジスタと、スレーブキーコードを格納するスレーブキーコードレジスタと、両レジスタに格納されたキーコードを比較する比較手段と、比較の結果が一致したときにメモリへの書込を許可し、不一致のときにはメモリへの書込を禁止するメモリライト制御手段とを有するメモリ書込保護装置に関する。

【従来の技術】従来上述のような装置は、不正プログラム、プログラムミスの他、障害発生時に暴走した中央処理装置(CPU)により、OS、プログラムのスタック領域、重要なデータが書換えられてシステムがダウンするのを防止するため、このようなメモリの書換えを防止するものである。このメモリ書込保護装置は、マスターキーコードを格納するマスターキーコードレジスタと、一定のメモリ領域に割り振られ、メモリに書込を行うときに入力するキーコードであるスレーブキーコードを格納するスレーブキーコードレジスタとを有し、メモリ領域への書込の際には、スレーブキーコードレジスタにキーコードを書込み、マスターキーコードレジスタに書き込まれているマスターキーコードと、書き込まれたスレーブキーコードとを比較してこの両キーコードが一致しないと当該メモリ領域への書込を禁止するものとしてい

る。また、この時、キーコードのバリディチェックを行いキーコードの信頼性を確保するものとしている。

【発明が解決しようとする課題】ところで近年メモリ保護機能を有する中央処理装置(CPU)がある。このような装置では上述したマスターキーコード及びスレーブキーコードを使用したメモリ保護を行う必要はない。しかしながら、このようなCPUを使用してソフトウェアを実行する場合においても、CPUのメモリ保護機能が作動しない処理部分が存在し、上述したメモリ保護装置を省略することはできない。このよう場合、上記のメモリ保護装置を使用しない場合にもマスターキーコードレジスタやスレーブキーコードレジスタの障害等によりキーコードの不一致やバリディチェックエラーにより、不正な書込があった旨を通知し、使用していないレジスタの障害等により、システム全体がダウンすることがあり問題となっている。また、キーコードの不一致やバリディチェックの検出のため、書き込み終了迄の時間がシステム全体の性能の向上が図れない原因となっている。そこで、本発明はメモリ保護装置を使用する必要がないときに、メモリ保護機能の障害によってシステムダウンすることがなく、信頼性を向上することができ、キーコードの比較やバリディチェック等のサイクルをなくし、メモリ書き込みサイクルを短縮して、システムの性能を向上させることができるメモリ書込保護装置を提供することを目的とする。

【課題を解決するための手段】本発明において、上記の課題を解決するための第1の手段は、図1に示すように、マスターキーコードを格納するマスターキーコードレジスタ1と、スレーブキーコードを格納するスレーブキーコードレジスタ2と、両レジスタに格納されたキーコードを比較する比較手段3と、比較の結果が一致したときにメモリへの書込を許可し、不一致のときにはメモリ4への書込を禁止するメモリライト制御手段5とを有するメモリ書込保護装置において、キーデータの参照を行わない上記メモリライト制御手段にキーデータの比較を行わずにメモリへの書込を許可する、許可手段6を設けたことである。また、本発明において、上記の課題を解決するための第2の手段は、上記マスターキーコードレジスタ1に特定の値を入力したときには書込許可信号を立ち上げる許可信号発生手段を設け、上記メモリライト制御手段5の許可手段6に出力し、許可手段6はこの書込許可信号を受けたときはキーデータの比較を行わずにメモリへの書込を許可することである。さらに、本発明において、上記の課題を解決するための第3の手段は、上記スレーブキーコードレジスタ2に特定の値を入力したときには書込許可信号を立ち上げる許可信号発生手段を設け、上記メモリライト制御手段5の許可手段6に出力し、許可手段6はこの書込許可信号を受けたときはキーデータの比較を行わずにメモリへの書込を許可することである。

【作用】本発明によれば、メモリライト制御手段に設けた許可手段は、キーデータの比較を行うことなく、メモリへの書き込みを許可するから、他の何らかの手段でメモリの保護が行われる場合には、メモリ書込保護装置を使用することなく、メモリへの書き込みを行うことができ、メモリ書込保護装置の障害によるシステムダウンを防止することができる。また、キーデータの比較を行わないから、キーデータの比較時間を要せず、システムの処理速度を向上させることができる。

【実施例】以下、本発明に係るメモリ書込保護装置の実施例を図面に基づいて詳細に説明する。図2乃至図5は本発明に係るメモリ書込保護装置の実施例を示すものである。本実施例において、メモリ書込保護装置は、図2に示すような構成を有する。同図において、11は中央処理装置(CPU)、12は本装置によって保護されるメモリ、13はマスターキーコードを格納すると共に、入力されているマスターキーコードが“0”であるとき、マスターキーコード“0”信号を出力するマスターキーコードレジスタ、14はマスターキーコードのデータのチェックを行うための訂正子、15はスレーブキーコードを格納するスレーブキーコードレジスタ、16はスレーブキーコードのデータのチェックを行うための訂正子、17はマスターキーコードと訂正子とを受け、データのエラーを検出しエラー信号を出力するエラー検出部、17はスレーブキーコードと訂正子とを受けデータのエラーを検出するエラー検出部、18はマスターキーコードとスレーブキーコードとを比較して一致したときにはライト許可信号を発生するデータ比較部を示している。また、同図において、19はCPU(又は、各I/O20~22)のライト信号を受けたときにレディ信号を返し、上記エラー信号、ライト許可信号を受け、キーコードにエラーがなく、両キーコードが一致したとき及びマスターキーコードレジスタに格納されたマスターキーコード“0”信号を受けたときにメモリライト信号を、またエラー信号が入力したり、キーコードが一致せずライト許可信号が入力しないときにNMI(Non Maskable Interruption)信号を発生するメモリライト制御部を示している。そして、本実施例では、上記メモリライト制御部は図3に示すように、クロック信号により作動し、CPU(又は、各I/O20~22)のライト信号でクリアが解除されるカウンタ31と、マスターキーコード“0”信号とカウンタのQ0信号とを入力とするアンドゲート32と、カウンタ31のQ0、Q1、Q2信号とインバータ33で反転されたマスターキーコード“0”とを入力とするアンドゲート34と、キーコードの不一致信号(上述したライト許可信号の反転信号)と、データエラー信号を入力とするノアゲート35と、上記マスターキーコード“0”信号と、上記ノアゲートの出力を入力とするオアゲート36と、このオアゲートの出力を反転するインバータ37と、上記アンドゲート

32とアンドゲート34の出力を入力としてレディ信号を出力するオアゲート38と、このレディ信号と上記オアゲート36の出力を入力として、書込許可信号であるライトイネーブル信号(WE)を出力するアンドゲート39とから構成している。次に本実施例に係るメモリ書込保護装置の作動を説明する。まず、CPU11(又は、各I/O20~22)はマスターキーコードレジスタ13にマスターキーコードを書き込む。即ち、CPU11(又は、各I/O20~22)はアドレスとデータとを送出してメモリライト制御部19から直ちにレディ信号を受け取る。この時マスターキーコードレジスタ13とスレーブキーコードレジスタ15はCPU11から直接ライトパルスを受け取り、メモリライト制御部19はマスターキーコードレジスタ13への書き込みであることを認識して直ちにCPU11(又は、各I/O20~22)にレディ信号を返す。次にメモリに書き込みを行う時には、CPU11(又は、各I/O20~22)はスレーブキーコードレジスタ15にスレーブキーコードを書き込む。即ち、CPU11(又は、各I/O20~22)はアドレスとデータとを送出してメモリライト制御部19から直ちにレディを受け取る。この時スレーブレジスタはCPU11(又は、各I/O20~22)から直接ライトパルスを受け取り、メモリライト制御部19はスレーブキーコードレジスタ15への書き込みであることを認識して直ちにCPU11(又は、各I/O20~22)にレディ信号を返す。そして、CPU11(又は、各I/O20~22)がメモリ12または、キーレジスタ以外のレジスタにデータを書き込むときには、メモリライト制御部19は直ちにマスターキーコードレジスタ13を読み取り“0”であるときには直ちにライトイネーブル信号を発生して直ちにレディ信号を発生し、ライトサイクルを終了する。マスターキーコードレジスタ13のキーコードが“0”以外のときには、CPU11(又は、各I/O20~22)が送出したアドレスに対応するスレーブキーコードレジスタ15を読み取る。そしてマスターキーコードとスレーブキーコードとが一致したときには直ちにメモリライト信号を発生して、レディ信号をCPU11(又は、各I/O20~22)に発生して、ライトサイクルを終了する。これを、図4及び図5に示すタイミングチャートに基づいて説明すれば、マスターキーコード“0”信号が立ち上がっていないときには図5に示すように、CPU11(又は、各I/O20~22)からライト信号が立ち上がると、カウンタ31のクリアを解除してスレーブキーコードマスターキーコード不一致信号と、エラー信号が確定するまで一定時間カウンタをクロックで作動させ、エラー信号も不一致信号も立ち上がらない場合にレディ信号とライトイネーブル信号とを立ち上げる。また、同様にマスターキーコードが“0”でなく、マスターキーコードとスレーブキーコードとが不一致の場合には、図4(2)

に示すように、CPU11からライト信号が立ち上がると、カウンタ31をクリアしてスレーブキーコードマスターキーコード不一致信号と、エラー信号が確定するまで一定時間カウンタをクロックで作動させ、不一致信号が立ち上がるとレディ信号とNMI信号とを立ち上げる。そして、本実施例において、CPU11（又は、各I/O20～22）のメモリ保護機能を使用するときにはマスターキーコードレジスタ13に“0”を入力しておく。すると、図4（1）に示すように、マスターキーコード“0”信号が立ち上がっているため、CPU11（又は、各I/O20～22）のライト信号が立ち上がると、直ちにライトイネーブル信号が出力され、同時にレディ信号が出力される。従って本実施例によれば、CPU11（又は、各I/O20～22）のメモリ保護機能を使用するときには、マスターキーコードレジスタ13に“0”を入力しておけば、CPU11（又は、各I/O20～22）のライト信号を受けキーレジスタの比較及びエラーチェックを行うことなくメモリライト制御部19はライトイネーブル信号を発生する。したがって、使用していないレジスタ等の障害でシステム全体がダウンすることはなくなる。またメモリ書き込み時においてキーデータのエラーチェック及び照合を行わないのでライトサイクルを短いものとしことができ、システム全体の処理能力を向上させることができる。尚、上記の実施例ではCPU11（又は、各I/O20～22）のメモリ保護機能を使用するときには、マスターキーコードレジスタの値を“0”と設定することとしたが、スレーブキーコードレジスタの値を“0”として同様の処理を行うことができる。またこの値は“0”に限らず任意の値とすることができる。更に、本実施例ではタイマ制御20、ディスク制御部21、画面制御部22及びキ

ー制御部23を設け、この各I/OがCPUの代わりにマスターとなり、メモリをアクセスする場合（DMA）も全く同様に動作するものとしている。

【発明の効果】以上説明したように、本発明によれば、CPU（又は、I/O）のメモリ保護機能を使用するときには、CPU（又は、I/O）のライト信号を受け、キーレジスタの比較及びエラーチェックを行うことなくメモリライト制御部はライトイネーブル信号を発生するから、使用していないレジスタ等の障害でシステム全体がダウンすることはなくなり、またメモリ書き込み時において、キーデータのエラーチェック及び照合を行わないのでライトサイクルを短いものとしことができ、システム全体の処理能力を向上させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の原理を示す図である。

【図2】本発明に係るメモリ書込保護装置の実施例を示すブロック図である。

【図3】図2に示したメモリ書込保護装置のメモリライト制御部の構成を示すブロック図である。

【図4】図2に示したメモリ書込保護装置の作動を示すタイミングチャートである。

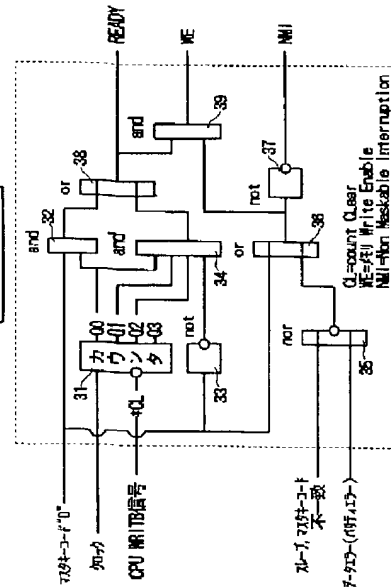
【図5】図2に示したメモリ書込保護装置の作動を示すタイミングチャートである。

【符号の説明】

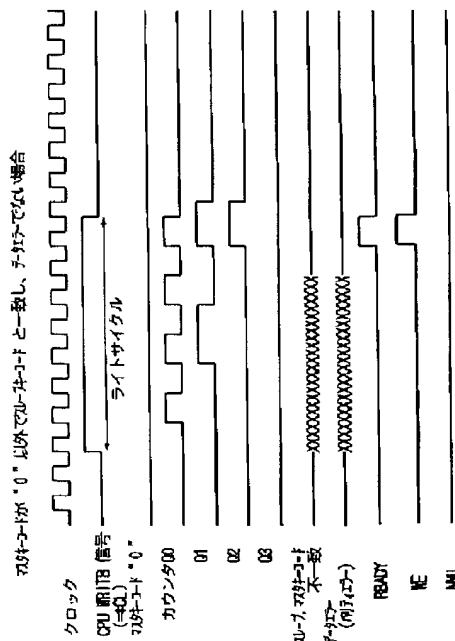
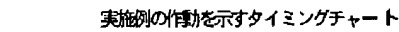
- 1 マスターキーコードレジスタ
- 2 スレーブキーコードレジスタ
- 3 比較手段
- 4 メモリ
- 5 メモリライト制御部
- 6 許可手段

【図3】

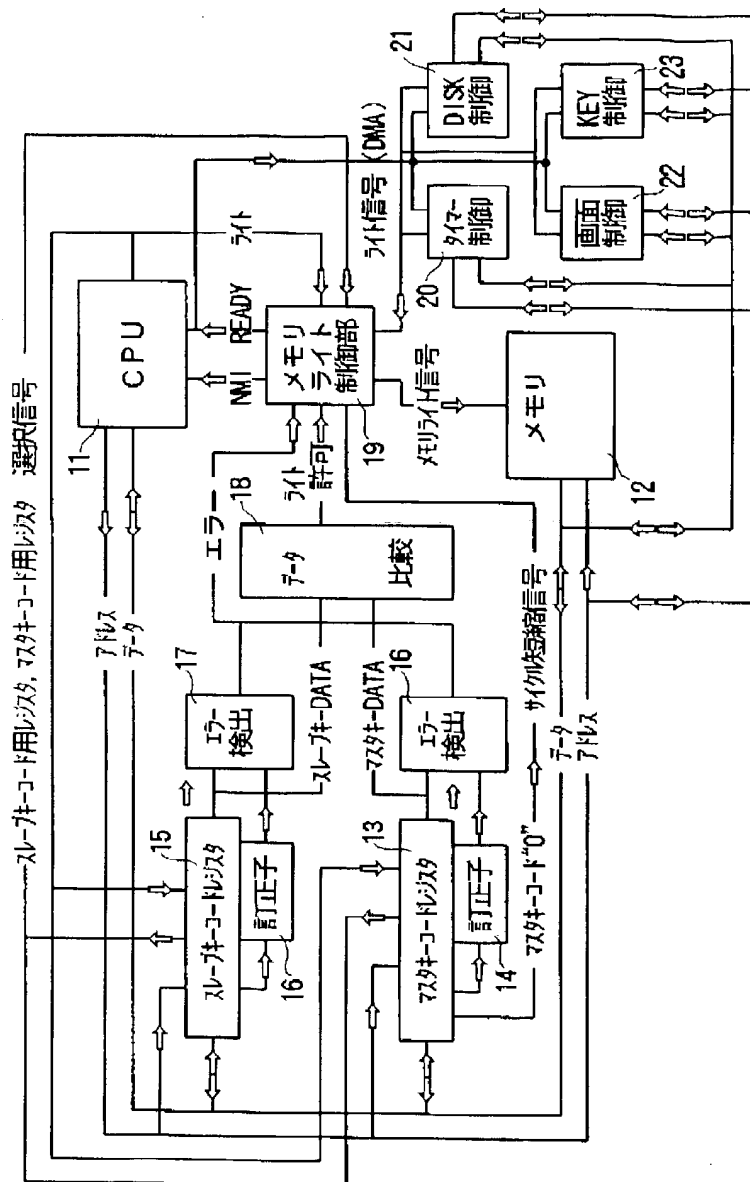
実施例に係るメモリライト制御部



【図5】



実施列に係るメモリ保護装置



(72)発明者 橋本 繁
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内